

TENT ABSTRACTS OF JAP

(11)Publication number : 2001-151596

(43)Date of publication of application : 05.06.2001

(51)Int.Cl.

C30B 29/06
H01L 21/20
H01L 21/205
H01L 21/324

(21)Application number : 11-334040

(71)Applicant : SHIN ETSU HANDOTAI CO LTD

(22)Date of filing : 25.11.1999

(72)Inventor : KIMURA AKIHIRO
SATO HIDEKI
KONO TAKAHARU
KATO MASAHIRO
TAMAZUKA MASARO

(54) SILICON WAFER FOR EPITAXIALLY GROWING, EPITAXIAL WAFER AND METHOD OF PRODUCING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a silicon wafer for epitaxially growing, with which the formation of SF is suppressed, an epitaxial wafer and a method of producing the same.

SOLUTION: The silicon wafer for epitaxially growing has a surface for growing an epitaxial layer, which surface is free from exposed void defects. The method of producing the epitaxial wafer comprises measuring the number of void defects exposed to the surface of a silicon wafer and/or the number of void defects present in a region from the surface to the depth of 10 nm of the silicon wafer, then selecting a wafer in which the number of the void defects is not more than a prescribed value and growing the epitaxial layer on the surface of the selected wafer. Furthermore, the method of producing the epitaxial wafer comprises heat treating the wafer having void defects exposed to the surface of the silicon wafer and/or void defects present in the region from the surface to the depth of 10 nm of the silicon wafer so that the void defects are eliminated and/or the void defects are each converted into a form not causing a generation source of SF, and growing the epitaxial layer on the surface of thus heat treated wafer.

LEGAL STATUS

29.10.2002

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-151596

(P2001-151596A)

(43)公開日 平成13年 6 月 5 日 (2001. 6. 5)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テマコード [*] (参考) |
|-------------------------------|---------------------------|---------------|--|
| C 3 0 B | 29/06 | C 3 0 B 29/06 | B 4 G 0 7 7 |
| H 0 1 L | 21/20 | H 0 1 L 21/20 | 5 F 0 4 5 |
| | 21/205 | 21/205 | 5 F 0 5 2 |
| | 21/324 | 21/324 | X |
| 審査請求 未請求 請求項の数 9 O L (全 11 頁) | | | |
| (21)出願番号 | 特願平11-334040 | (71)出願人 | 000190149 信越半導体株式会社 東京都千代田区丸の内1丁目4番2号 |
| (22)出願日 | 平成11年11月25日(1999. 11. 25) | (72)発明者 | 木村 明浩 群馬県安中市磯部2丁目13番1号 信越半 導体株式会社半導体磯部研究所内 |
| | | (72)発明者 | 佐藤 英樹 群馬県安中市磯部2丁目13番1号 信越半 導体株式会社半導体磯部研究所内 |
| | | (74)代理人 | 100102532 弁理士 好宮 幹夫 |
| | | 最終頁に続く | |

(54)【発明の名称】 エピタキシャル成長用シリコンウエーハ及びエピタキシャルウエーハ並びにその製造方法

(57)【要約】

【課題】 SF発生を低減したエピタキシャル成長用シリコンウエーハ及びエピタキシャルウエーハ並びにその製造方法を提供する。

【解決手段】 エピタキシャル層を成長する表面にボイド欠陥が露出しないエピタキシャル成長用シリコンウエーハ。及びシリコンウエーハ表面に露出したボイド欠陥個数、および／またはシリコンウエーハ表面から少なくとも10nmまでの深さのボイド欠陥個数を測定し、これらのボイド欠陥個数が所定値以下のウエーハを選択し、該選択されたウエーハの表面にエピタキシャル層の成長を行うエピタキシャルウエーハの製造方法。並びに表面に露出したボイド欠陥および／または表面から少なくとも10nmまでの深さにボイド欠陥を有するシリコンウエーハに熱処理を行い、前記ボイド欠陥を消滅および／またはSFの発生源とならない形態とした後に、前記ウエーハ表面にエピタキシャル層の成長を行うエピタキシャルウエーハの製造方法。

【特許請求の範囲】

【請求項1】 エピタキシャル成長用シリコンウエーハであって、少なくともエピタキシャル層を成長する表面にボイド型欠陥が露出しないことを特徴とするエピタキシャル成長用シリコンウエーハ。

【請求項2】 前記ボイド型欠陥がエピタキシャル層を成長する表面から少なくとも10nmまでの深さまで存在しないことを特徴とする請求項1に記載したエピタキシャル成長用シリコンウエーハ。

【請求項3】 前記エピタキシャル成長用シリコンウエーハに窒素がドーピングされていることを特徴とする請求項1または請求項2に記載したエピタキシャル成長用シリコンウエーハ。

【請求項4】 請求項1から請求項3のいずれか1項に記載したエピタキシャル成長用シリコンウエーハの表面上にエピタキシャル層が形成されていることを特徴とするエピタキシャルウエーハ。

【請求項5】 シリコンウエーハの表面に露出したボイド型欠陥の個数、および／またはシリコンウエーハの表面から少なくとも10nmまでの深さに存在するボイド型欠陥の個数を測定し、これらのボイド型欠陥の個数が所定値以下であるシリコンウエーハを選択し、該選択されたシリコンウエーハの表面にエピタキシャル層の成長を行うことを特徴とするエピタキシャルウエーハの製造方法。

【請求項6】 表面に露出したボイド型欠陥および／または表面から少なくとも10nmまでの深さにボイド型欠陥を有するシリコンウエーハに熱処理を行うことにより、前記ボイド型欠陥を消滅および／またはSFの発生源とならない形態とした後に、前記シリコンウエーハ表面にエピタキシャル層の成長を行うことを特徴とするエピタキシャルウエーハの製造方法。

【請求項7】 前記熱処理として、非酸化性雰囲気下で1100～1300℃の温度で熱処理を加えた後、700℃未満に冷却することなく連続して酸化性雰囲気下で700～1300℃の温度での熱処理を加えることを特徴とする請求項6に記載したエピタキシャルウエーハの製造方法。

【請求項8】 前記熱処理を、エピタキシャル工程のエピタキシャル層成長前の水素ベーク後に、不活性ガスを導入して行なうことを特徴とする請求項6に記載したエピタキシャルウエーハの製造方法。

【請求項9】 前記シリコンウエーハとして、窒素ドーピングされたシリコンウエーハを用いることを特徴とする請求項5から請求項8のいずれか1項に記載したエピタキシャルウエーハの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はエピタキシャル層中に存在する結晶欠陥が従来よりも少ないエピタキシャル

ウエーハ用基板及びエピタキシャルウエーハ及びその製造方法に関する。

【0002】

【従来の技術】 近年の半導体素子の高集積化に伴い、半導体中の結晶欠陥、特に表面および表面近傍の結晶欠陥の低減が重要になってきている。このため、結晶性に優れたエピタキシャル層（以下、単にエピ層と呼ぶことがある。）を有するエピタキシャルウエーハの需要は年々高まっている。

【0003】 ところでエピタキシャルウエーハといえども各種結晶欠陥が存在し、これはデバイスに悪影響を及ぼし歩留まりが低下するため、これを低減する必要がある。多結晶化したエピタキシャル層中の結晶欠陥は、エピタキシャル層を形成するエピタキシャル成長用シリコンウエーハ（以下、単に基板と呼ぶことがある。）の表面に付着していたパーティクルから発生するという報告がある（例えば、岩淵他、第45回応用物理学関係連合講演会（1998春季）28a-PB-1）。つまり、エピタキシャル層の一部が多結晶とならないためには、基板上のパーティクルを除去してからエピタキシャル成長（以下、単にエピ成長と呼ぶことがある。）を行えばよい。

【0004】 また、基板表面に露出したボイド型の欠陥（以下、単にボイドと呼ぶことがある。）は、主にシリコン単結晶育成時に導入されるGrown-in欠陥の中の、空孔クラスターがウエーハ表面に露出したものであるが、従来からこのボイドは、エピ成長後に浅いピットになることはあっても、結晶欠陥にはならないと考えられてきた（木村他、日本結晶成長学会誌24、（1997）444）。しかるに現在までにエピ積層欠陥（以後SFという）と呼ばれるエピタキシャル層中の欠陥の発生原因は明らかになっておらず、その低減方法は不明であった。

【0005】

【発明が解決しようとする課題】 本発明はこのような問題点に鑑みてなされたもので、SF発生を低減したエピタキシャル成長用シリコンウエーハ及びエピタキシャルウエーハ並びにその製造方法を提供することを目的としている。

【0006】

【課題を解決するための手段】 上記課題を解決するため、本発明の請求項1に記載した発明は、エピタキシャル成長用シリコンウエーハであって、少なくともエピタキシャル層を成長する表面にボイド型欠陥が露出しないことを特徴とするエピタキシャル成長用シリコンウエーハである。

【0007】 このように、少なくともエピタキシャル層を成長する表面にボイド型欠陥が露出しないエピタキシャル成長用シリコンウエーハは、エピタキシャル成長時にSFの発生を防止することができる。これは、SFはボイド型欠陥から発生することが明らかになったので、

このようなボイド型欠陥のないウエーハをエピタキシャル基板に用いればエピ層のSF発生を防ぐことができるからである。

【0008】尚、通常のエピタキシャル工程では、エピタキシャル層を成長する直前に水素ベークが行われ、ある程度基板表面がエッチングされる。従って、請求項1に記載された「エピタキシャル層を成長する表面」とは、実質的には、このような水素ベークの後で、エピタキシャル層が成長される直前の基板表面（エピタキシャル層と基板との境界面）を意味する。

【0009】この場合、本発明の請求項2に記載したように、前記ボイド型欠陥がエピタキシャル層を成長する表面から少なくとも10nmまでの深さまで存在しないことが好ましい。これは、エピ層が成長する直前の表面にボイド型欠陥が露出していなくても、その表面から10nmまでの深さにボイド型欠陥が存在する場合にSFが形成されるおそれがあるからである。

【0010】また、本発明の請求項3に記載したように、前記エピタキシャル成長用シリコンウエーハに窒素がドーピングされていることが好ましい。これは、窒素がドーピングされた基板を用いると、窒素の効果により、高温のエピタキシャル成長を行っても、基板のバルク部の酸素析出核が消滅することがないので、その後のデバイスプロセスにおいてゲッターリングサイトが形成され、高性能のエピタキシャルウエーハが得られるからである。

【0011】そして、請求項1から請求項3のいずれか1項に記載したエピタキシャル成長用シリコンウエーハの表面上にエピタキシャル層が形成されていることを特徴とするエピタキシャルウエーハ（請求項4）であれば、エピタキシャル層にSFが全くない、もしくは従来に比べて極めて低減された高品質なエピタキシャルウエーハとなる。

【0012】また本発明の請求項5に記載した発明は、シリコンウエーハの表面に露出したボイド型欠陥の個数、および／またはシリコンウエーハの表面から少なくとも10nmまでの深さに存在するボイド型欠陥の個数を測定し、これらのボイド型欠陥の個数が所定値以下であるシリコンウエーハを選択し、該選択されたシリコンウエーハの表面にエピタキシャル層の成長を行うことを特徴とするエピタキシャルウエーハの製造方法である。

【0013】この請求項5に記載の発明は、例えば同一製造ロットのウエーハから1枚または複数枚のウエーハを抜き取り、そのウエーハ表面に露出したボイド型欠陥の個数、および／またはそのウエーハ表面から少なくとも10nmまでの深さに存在するボイド型欠陥の個数を測定し、これらのボイド型欠陥が所定値以下、すなわち、ユーザーから要求されるエピタキシャルウエーハの仕様（SF数の上限値）から許容されるボイド型欠陥数を予め設定しておき、これを満足するウエーハを選択してエピタキシャル層の成長を行うことを特徴とするエ

タキシャルウエーハの製造方法である。このようにすれば、エピタキシャルウエーハの製造において、不良ウエーハを低減することができるとともに、ユーザー仕様に応じたエピタキシャルウエーハ用に適したシリコン単結晶ウエーハの製造条件にフィードバックすることができる。

【0014】また、本発明の請求項6に記載した発明は、表面に露出したボイド型欠陥および／または表面から少なくとも10nmまでの深さにボイド型欠陥を有するシリコンウエーハに熱処理を行うことにより、前記ボイド型欠陥を消滅および／またはSFの発生源とならない形態とした後に、前記シリコンウエーハ表面にエピタキシャル層の成長を行うことを特徴とするエピタキシャルウエーハの製造方法である。

【0015】このように、表面及び表面近傍にボイド型欠陥があり、エピタキシャル成長を行うとSFが発生してしまうウエーハであっても、エピタキシャル成長前に熱処理を行うことにより表面及び表面近傍のボイドを消滅あるいはSFが発生しない形態に変化させてからエピタキシャル層を形成すれば、高品質のエピタキシャルウエーハを得ることができる。このようにすれば、シリコン単結晶ウエーハの製造条件にかかわらず、エピタキシャル成長時にSFの発生がないエピタキシャルウエーハを得ることができる。

【0016】この場合、請求項7に記載したように、前記熱処理として、非酸化性雰囲気下で1100～1300℃の温度で熱処理を加えた後、700℃未満に冷却することなく連続して酸化性雰囲気下で700～1300℃の温度での熱処理を加えることが好ましい。

【0017】このような熱処理条件とすれば、初段の非酸化性雰囲気での熱処理により、ウエーハ表面の自然酸化膜と表面近傍のボイドの内壁酸化膜を外方拡散させることができるので、その後の酸化性雰囲気での熱処理において格子間シリコンを効率よく注入し、表面近傍のボイドを消滅させることができる。表面に露出しているボイドについては、酸化膜の形成により開口形状をなめらかにすることができ、その後のエピタキシャル成長においてSFの発生源となることを防ぐことができる。また、初段の熱処理後に700℃未満に温度を下げないので、ボイドへの格子間シリコン注入の障害となる内壁酸化膜の再成長を防ぐことができる。

【0018】また、請求項8に記載したように、前記熱処理を、エピタキシャル工程のエピタキシャル層成長前の水素ベーク後に、不活性ガスを導入して行うこともできる。このようにすれば、エピタキシャル成長装置を用いて同一のエピタキシャル工程中に熱処理を組み入れることができるので非常に効率的である。

【0019】さらに、請求項9に記載したように、前記シリコンウエーハとして、窒素ドーピングされたシリコンウエーハを用いることが好ましい。このように、窒素ドー

ブウエーハを用いれば、窒素の効果により高いゲッタリング効果を得ることができる。

【0020】以下、本発明についてさらに詳述するが、本発明はこれらに限定されるものではない。本発明者らは、エピタキシャル層に発生するSFの発生原因を明らかにすべく、下記のような実験を行い本発明を完成させた。

【0021】(実験1) 窒素ノンドープウエーハをエピタキシャル用基板として用いた場合通常の引き上げ速度(約1mm/min)で育成された直径8インチのCZシリコン単結晶ウエーハ(結晶軸方位<100>、p型、10Ωcm、酸素濃度14.7ppma(JEIDA規格))に、約4μmのエピタキシャル層を形成したエピタキシャルウエーハを4枚作製し、このウエーハに選択エッチングを行い、レーザー光を使用した表面検査装置(テンコール社製、Surf Scan 6200)を用いて検出されたエピタキシャル表面のLPD(Light Point Defect)を光学顕微鏡で観察したところ、エピタキシャル表面のSFは平均約2個/8インチウエーハ存在していた。

【0022】これらのエピタキシャル層表面のSFについて、図1(a)(b)に示すように<110>方向から断面TEM(透過型電子顕微鏡)観察を行った。ここで、図1(a)は顕微鏡観察図であり、図1(b)は顕微鏡写真を基に欠陥を模式的に示した図である。そして、ウエーハに存在するSFの内の3つについて、図1(a)の楕円で囲まれた部分を拡大して観察した結果を図2(a)(b)~図4(a)(b)に示す。図1と同様に各々図2(a)~図4(a)が顕微鏡観察図であり、図2(b)~図4(b)は顕微鏡写真を模式的に示した図である。いずれの場合もSFの頂点の下に何らかの結晶欠陥が存在していることが判る。

【0023】EDX分析(Energy Dispersive X-ray spectroscopy)の結果、これらは全て内壁酸化膜を有する八面体ボイドであることが分かった。また、八面体ボイドから高さ方向に10nm程度、横方向に20~40nm程度離れた位置を頂点としてSFが発生していることも分かった。

【0024】(実験2) 窒素ドープウエーハを基板として用いた場合窒素が高濃度(3×10^{14} 個/cm³)にドープされていることを除いては、実験1と同様の基板を用いてエピタキシャルウエーハを作製し、SFに関して実験1と同様の調査を行った。

【0025】その結果、エピタキシャル層表面のSFはいずれも数個/8インチウエーハ程度存在していた。このうち、実験1と同様に3つのSFについて<110>方向から断面TEM観察を行った結果を図5~図7に示す。この断面TEM観察によれば、窒素ノンドープの場合と同様にSFの直下で、SFの頂点から10~40n

m程度離れた位置に、窒素ドープウエーハ特有の棒状、板状のボイドが観察されることがわかった。

【0026】実験1および実験2の結果を踏まえると、エピタキシャル層のSFの発生には、従来の説とは異なり、ウエーハ表面近傍のボイド型欠陥が関与していることが明白である。即ち、SF発生を低減するには、ウエーハの表面近傍にボイドが存在しなければよいことが明らかにになった。

【0027】尚、ボイド型欠陥からSFが発生するメカニズムは次のように考えられる。窒素ドープの場合、ボイドは棒状・板状で、かつ板状の切り口が20nm×150nm程度なので(図8(a))、エピ前水素ベーク直後にエッチングによりボイドが表面に露出してピットが形成される確率が比較的高い(図8(b))。この状態でエピ成長を行うと、ピット端からのエピ成長によりピットがふさがる(図8(c))。その際不整合が起きて、その後のエピ成長ではSFとなってしまうと考えられる(図8(d))。

【0028】一方窒素ノンドープの場合、ウエーハ表面に開口部が比較的大きく露出したボイド型欠陥(図9(a))であれば、エピタキシャル工程におけるエピ層成長前の水素ベークにより、その形状が丸みを帯びた幅広で浅いピットになるため(図9(b))、等方性の強い条件下(例えば、SiH₂Cl₂を原料とした減圧エピ成長)ではCOPは消失しにくい、異方性の強い条件下での成長(例えば、SiHCl₃を原料とした常圧エピ成長)により0.4μm程度のエピ層を形成すればCOPは消失する(図9(c))ことが知られている(木村他、日本結晶成長学会誌 24、(1997) 444)。

【0029】しかし、窒素ノンドープウエーハ中に存在する八面体ボイドの場合は深さにより切り口の大きさに変化するので、その切り口が棒状・板状ボイドと同程度の大きさであるようなタコ壺状のピットがエピ前水素ベーク直後に形成された場合、ここからSFが発生すると考えられる(図9(d))。

【0030】また、窒素ドープ、ノンドープいずれのボイド型欠陥においても、発生したSFの頂点はボイド型欠陥から少なくとも10nm離れている。従って、SFの発生を確実に防ぐためには、エピタキシャル層を成長する直前の表面から少なくとも10nmの深さまでボイド型欠陥が存在しないことが好ましいと考えられる。

【0031】以上の本発明者らの研究により、エピタキシャル層のSFの発生にはエピタキシャル成長用ウエーハの表面近傍に存在するボイド型欠陥が関与していることが明らかとなった。したがって、SF発生を防止するためにはエピタキシャル成長用ウエーハの表面近傍にボイド型欠陥が存在しなければよい。

【0032】尚、本発明で言う「ボイド型欠陥が露出しない」あるいは「ボイド型欠陥が存在しない」とは、エ

ピタキシャル成長時にSFの発生源となるボイド型欠陥が露出または存在しないことを意味している。従って、ある特定の製造条件で作製されたエピタキシャル成長用ウエーハの表面近傍に、そのようなSFの発生源となるボイド型欠陥が存在するか否かについては、その製造条件と同一の製造条件で作製された他のウエーハにエピタキシャル層を成長し、その表面に観察されるLPDを光学顕微鏡や電子顕微鏡等で実体観察する等の手法により判断することができる。

【0033】実際にSFのないエピタキシャルウエーハを製造するためには、以下の2通りの方法が考えられる。一つは、従来はエピタキシャル成長用ウエーハとして用いられていなかった、ウエーハ全体にボイド型欠陥が元々存在していない無欠陥ウエーハをエピタキシャル成長用ウエーハとして用い、このウエーハの表面にエピタキシャル層を成長させる方法である。このような無欠陥ウエーハには例えばFZウエーハを用いることができる。あるいはCZウエーハであっても、結晶引き上げ時の条件を制御することにより無欠陥ウエーハを得ることができ、これを適用することができる。

【0034】もう一つの方法としては、通常の条件で製造され、ウエーハ表面及びバルク部にボイド型欠陥が存在しているCZウエーハを用い、これに対して熱処理を加えることにより、ボイド型欠陥を消滅させるか、あるいはボイド型欠陥をSFの発生源とならない形態とした後に、エピタキシャル成長を行なう方法である。本発明は、以上の思想に基づき諸条件を精査して完成に至ったものである。

【0035】

【発明の実施の形態】以下、本発明の実施の形態について、実施フローの一例を示すが、本発明はこれらに限定されるものではない。本発明のエピタキシャルシリコンウエーハを製造するためには、エピタキシャル成長用シリコンウエーハとして、ウエーハ全体にボイド型欠陥が存在していないウエーハ、もしくは少なくともエピタキシャル層を成長する表面にボイド型欠陥が露出しないウエーハを作製する。

【0036】ここで、ウエーハ全体にボイドが存在しないウエーハとしては、FZウエーハや、CZ結晶引き上げ時のV/G（V：引上速度、G：結晶固液界面の温度勾配）を制御して、空孔クラスターや転位クラスターの排除される条件で結晶を引き上げる方法により得られた無欠陥CZウエーハ（Grown-in欠陥のないウエーハ）がある。

【0037】このようなFZウエーハは主にディスクリートデバイス用にもちいられ、本願が対象としているいわゆる集積回路形成用としてのエピタキシャル成長用基板として用いられることは従来なかったものである。また、前記無欠陥CZウエーハについても、低コストでエピタキシャルウエーハ並みの特性が得られる基板として

開発されたものであるから、このウエーハにさらにエピタキシャル層を形成して用いるという思想は従来は全くなかったものである。しかし、このようなウエーハをエピタキシャル成長用シリコンウエーハとして用いることにより、SFの発生を防止することができる。

【0038】また、CZウエーハについては、その結晶引き上げ条件や窒素ドープの有無によりボイドの形態（サイズや形状）が変化するので、特定の製造条件で作製されたウエーハから1枚または複数枚のウエーハを抜き取り、そのウエーハ表面に露出したボイド型欠陥の個数、および/またはそのウエーハ表面から少なくとも10nmまでの深さに存在するボイド型欠陥の個数を測定し、これらのボイド型欠陥が所定値以下、すなわち、ユーザーから要求されるエピタキシャルウエーハの仕様（SF数の上限値）から許容されるボイド型欠陥数を予め設定しておき、これを満足する場合に、この製造条件で作製されたウエーハをエピタキシャル層の成長用に用いることにすれば、不良ウエーハを低減することができる。

また、製造条件（単結晶の引き上げ条件）とエピタキシャル層に発生するSFとの関係が求められるので、エピタキシャルウエーハ用に適したシリコン単結晶ウエーハの製造条件にフィードバックすることができる。

【0039】ウエーハ表面に露出したボイド型欠陥については、前述のレーザー光を用いた表面検査装置によれば、現状0.08~0.1μm程度のサイズまで測定が可能である。また、表面から10nmまでの深さに存在するボイド型欠陥については、測定対象のウエーハを熱酸化により20nm程度の酸化膜を形成した後、エッチングで酸化膜を除去してから測定すればよい。

【0040】一方、上記のようにCZ単結晶の製造条件を限定せずに、通常のCZ引き上げ速度（約1mm/min程度）で育成されたCZ単結晶から作製されたウエーハは、多かれ少なかれ必ずその表面及びバルク部にはボイドが存在している。しかし、このようなボイド型欠陥を有するウエーハであっても、ウエーハに熱処理を加えることにより、少なくともエピタキシャル層成長直前の表面にボイドが露出しないウエーハ、更には、ボイドがその表面から少なくとも深さ10nmまでの間にも存在しないウエーハとすることができる。

【0041】この熱処理条件を設定するには、ウエーハ表面に露出しているボイド（ピット）については、熱処理後にエピタキシャル層を形成する際にその露出形状がSFの発生源とならない程度のなだらかな形状のピットになればよいので、ピットの形状とSFの発生の関係を実験的に求めることにより熱処理条件を設定できる。

【0042】また、ウエーハ表面に露出していないボイド型欠陥を消滅させることができる適切な熱処理は、ウエーハ中に存在するボイドの形状やサイズに依存する。従って、熱処理を加えるウエーハの製造条件（単結晶の引き上げ条件等）を考慮して適切な熱処理条件を実験的

に求めればよい。これらの熱処理を行う熱処理炉としては、特に限定されず、ヒータ加熱式のバッチ炉や、ランプ加熱式のRTA (Rapid Thermal Anneal) 炉などが挙げられる。また、エピタキシャル成長装置を用いて、エピタキシャル工程に組み込むこともできる。

【0043】具体的な熱処理としては、通常、熱処理するウエーハの表面には自然酸化膜が形成されているので、まず初段熱処理として非酸化性雰囲気、好ましくは水素を含有する雰囲気、1100℃～1300℃に加熱することにより、表面の自然酸化膜を除去するとともに、ポイド型欠陥の内壁酸化膜を外方拡散により除去する。1100℃未満では、表面の自然酸化膜の除去や内壁酸化膜の外方拡散が不十分になりやすい。表面の自然酸化膜の除去は短時間でできるため、その直後にアルゴンなどの基板へのエッチング作用のないガスに切り替えて内壁酸化膜の外方拡散を継続してもよい。これにより、表面に露出したポイド（ピット）は、表面のシリコン原子のマイグレーションによりなめらかになり、内部のポイドは内壁酸化膜が除去され、格子間シリコンを受け入れやすくなる。

【0044】次に、2段目の熱処理として、酸化性雰囲気、700℃～1300℃の温度で熱処理を加える。これにより表面に熱酸化膜が形成されるので、表面のピット形状はさらになめらかになる。また、酸化の進行によりウエーハ内部には格子間シリコンが注入されるので、初段の熱処理で内壁酸化膜が除去されたポイドに効率よく格子間シリコンが注入され、ポイドが満たされる。700℃以上であれば、ポイド消滅に充分な格子間シリコンの注入が発生する。尚、初段の熱処理後に700℃未満の温度に一旦冷却すると、内壁酸化膜の再成長が起こるので、初段と2段目の熱処理は、700℃未満に冷却することなく連続的に行うことが好ましい。この熱処理で形成されたウエーハ表面の酸化膜はフッ酸水溶液で除去してからエピタキシャル成長に供される。

【0045】また、エピタキシャル成長装置を用いて熱処理を行う場合には、エピタキシャル工程中におけるエピタキシャル層成長前の水素ベークにより表面の自然酸化膜を除去した後、雰囲気ガスをアルゴン等の不活性ガスに切り替え、不活性ガスを導入した状態で熱処理することにより、ウエーハ表面に露出していないポイド型欠陥の内壁酸化膜を効果的に外方拡散させ、シリコン原子のマイグレーションによりポイドを消滅することができる。

【0046】この場合、水素ベーク後の熱処理を行う雰囲気としては100%不活性ガスに置換されていたり、不活性ガスと水素との比率が一定値に固定されている必要はなく、不活性ガスと水素ガスが混合され、その割合が時間的に変化する状態で熱処理されても構わない。尚、不活性ガスとしてアルゴンを導入した場合、Arと水素ガスの比率は3:1程度が好ましい。

【0047】上記のような熱処理を施されたウエーハを基板として通常用いられている方法によりエピタキシャル成長を行えば、SFの発生が極めて抑制されたエピタキシャルウエーハを製造できる。

【0048】なお、初めからポイド型欠陥のないエピタキシャル成長用シリコンウエーハを作製する場合あるいはその後の熱処理によりポイド型欠陥を消滅等させる場合のいずれの場合も、エピタキシャルウエーハのゲッタリング効果等の観点から、基板として窒素がドーピングされたウエーハを用いることが好ましいが、窒素をドーピングしたシリコン単結晶を育成するには、公知の方法によればよい。

【0049】すなわち、例えばCZ法によりシリコン単結晶棒を育成するのであれば、あらかじめ石英ルツボ内に窒化物を入れておくか、シリコン融液中に窒化物を投入するか、雰囲気ガスを窒素を含む雰囲気等とすることによって、引き上げ結晶中に窒素をドーピングすることができる。この際、窒化物の量あるいは窒素ガスの濃度あるいは導入時間等を調整することによって、結晶中のドーピング量を制御することが出来る。

【0050】

【実施例】以下に本発明の実施例を挙げて、本発明を詳細に説明するが、本発明はこれらに限定されるものではない。

（実施例1）18インチ石英ルツボに原料多結晶シリコンをチャージし、直径6インチ、方位<100>、導電型p型のシリコン単結晶棒を引上げた。ルツボの回転速度は4rpmとし、結晶回転速度を15rpmとした。ここで、引き上げ速度を0.54～0.52mm/minの範囲になるように制御しつつシリコン単結晶の引き上げをおこない、V/G（V：引上速度、G：結晶固液界面の温度勾配）が0.152～0.146mm²/℃・minとなるようにした。ここで得られたシリコン単結晶棒からウエーハを切出し、エピタキシャル成長用シリコンウエーハを4枚作製した。

【0051】そして、このエピタキシャル成長用シリコンウエーハの表面に約4μmのエピタキシャル層を形成したエピタキシャルウエーハを4枚作製し、このウエーハに選択エッチングを行い、レーザー光を使用した表面検査装置（テンコール社製、Surf Scan 6200）を用いて検出されたエピタキシャル表面のLPDを光学顕微鏡観察した。その結果、いずれのウエーハについてもエピタキシャルウエーハ全面でSFは観察されなかった。

【0052】（実施例2）シリコン単結晶を通常の引き上げ速度（約1mm/min）で窒素をドーピングして育成し、直径8インチのCZシリコン単結晶ウエーハ（結晶軸方位<100>、p型、10Ωcm、酸素濃度15ppma（JEIDA規格）、窒素濃度1×10¹⁴個/cm³）を4枚作製した。

【0053】次にこれらのシリコンウエーハに対して、

ヒータ加熱式のバッチ炉にて、アルゴン雰囲気下で1200℃の温度で1時間の熱処理を行った後、ウエーハを炉から出さずに800℃以下の温度に冷却することなく、連続して酸素雰囲気下1200℃の温度で10分のwet酸化を行った。熱処理後、表面の酸化膜を除去し、このシリコンウエーハの表面のボイド型欠陥を観察してみたところ、いずれのウエーハにも、ウエーハ表面にはボイド型欠陥が発見されなかった。

【0054】実施例1と同様に、このエピタキシャル成長用シリコンウエーハの表面に約4μmのエピタキシャル層を形成したエピタキシャルウエーハを4枚作製し、エピタキシャル表面のLPDを光学顕微鏡で観察した。その結果、いずれのウエーハについてもエピタキシャルウエーハ全面でSFは観察されなかった。

【0055】(比較例)窒素をドーブしない以外は実施例2と同様に、シリコン単結晶を通常の引き上げ速度(約1mm/min)で育成し、直径8インチのCZシリコン単結晶ウエーハ(結晶軸方位<100>、p型、10Ωcm、酸素濃度15ppma(JEIDA規格))を4枚作製した。

【0056】このエピタキシャル成長用シリコンウエーハの表面に、熱処理等は行なわず直接約4μmのエピタキシャル層を形成したエピタキシャルウエーハを4枚作製し、エピタキシャル表面のLPDを光学顕微鏡で観察した。その結果、エピタキシャル層表面のSFは平均約2個/8インチウエーハ存在していた。

【0057】なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

【0058】

【発明の効果】以上説明した通り本発明によれば、SFの発生が低減したエピタキシャルウエーハを製造することが可能となり、デバイス歩留まりが大幅に向上する。

【図面の簡単な説明】

【図1】断面TEM観察の様子を示した図であり、(a)は顕微鏡観察図であり、(b)は顕微鏡写真を基に欠陥を模式的に示した図である。

【図2】窒素ドーブしていないウエーハについて断面TEM観察の結果を示した拡大図であり、(a)は顕微鏡観察図であり、(b)は顕微鏡写真を模式的に示した図である。

【図3】窒素ドーブしていないウエーハについて断面TEM観察の別の結果を示した拡大図であり、(a)は顕微鏡写真であり、(b)は顕微鏡写真を模式的に示した図である。

【図4】窒素ドーブしていないウエーハについて断面TEM観察の他の結果を示した拡大図であり、(a)は顕微鏡写真であり、(b)は顕微鏡写真を模式的に示した図である。

【図5】窒素ドーブウエーハについて断面TEM観察の結果を示した拡大図である。

【図6】窒素ドーブウエーハについて断面TEM観察の別の結果を示した拡大図である。

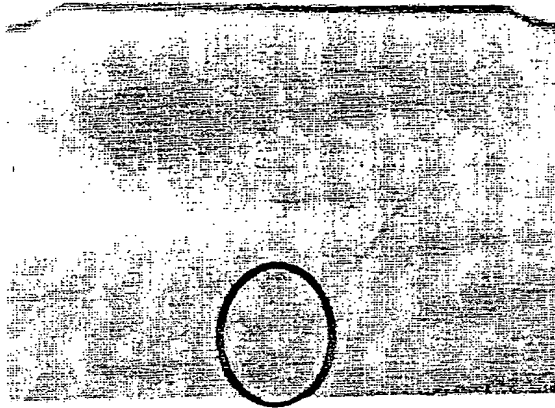
【図7】窒素ドーブウエーハについて断面TEM観察の他の結果を示した拡大図である。

【図8】(a)～(d)は窒素ドーブウエーハにおいて、SFが形成される様子を示した説明図である。

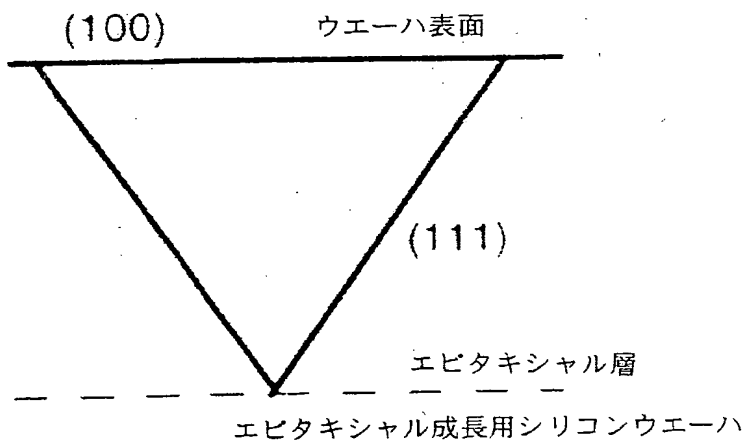
【図9】(a)～(d)は窒素をドーブしていないウエーハにおいて、SFが形成される様子を示した説明図である。

【図1】

(a)

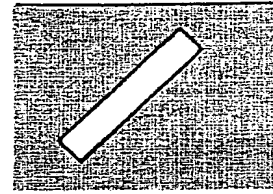


(b)

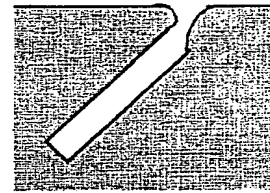


【図8】

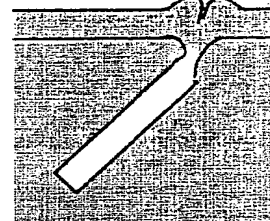
(a)



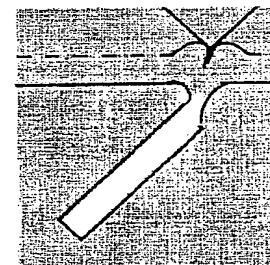
(b)



(c)



(d)

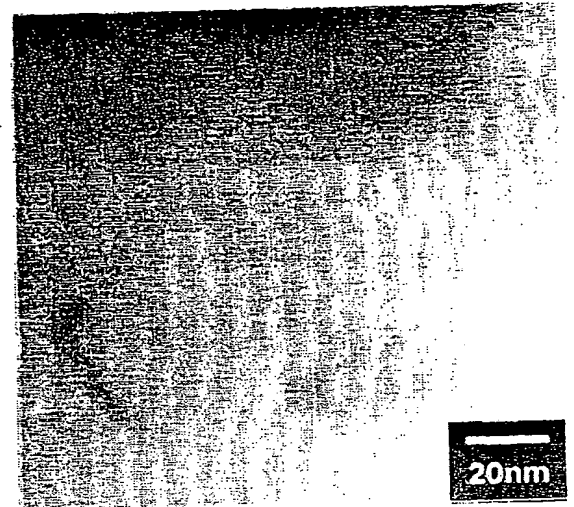
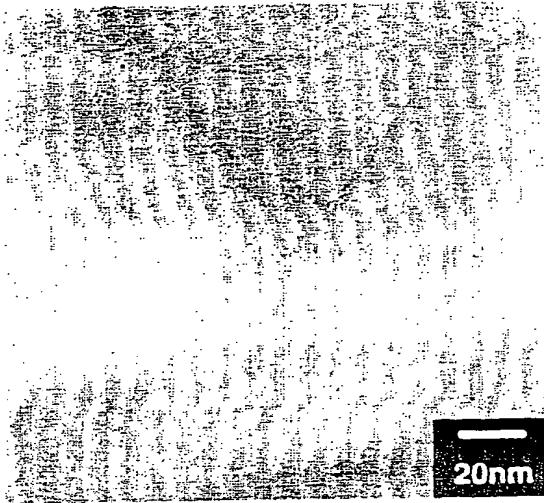


【図2】

【図3】

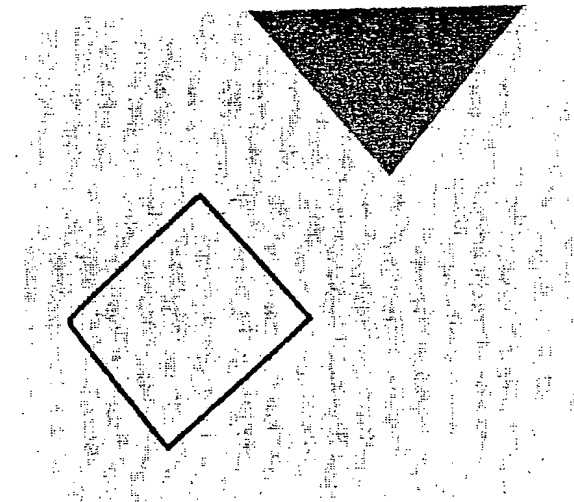
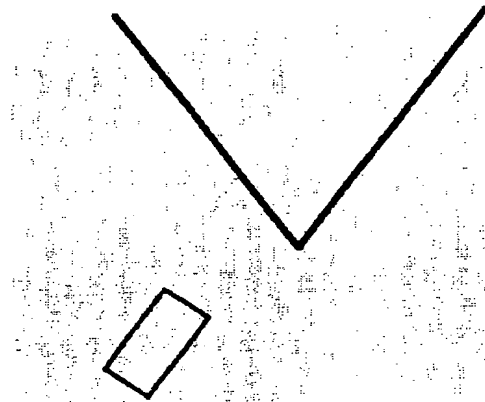
(a)

(a)



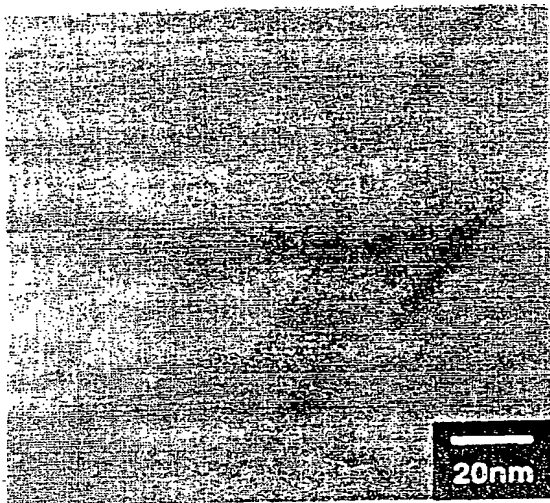
(b)

(b)

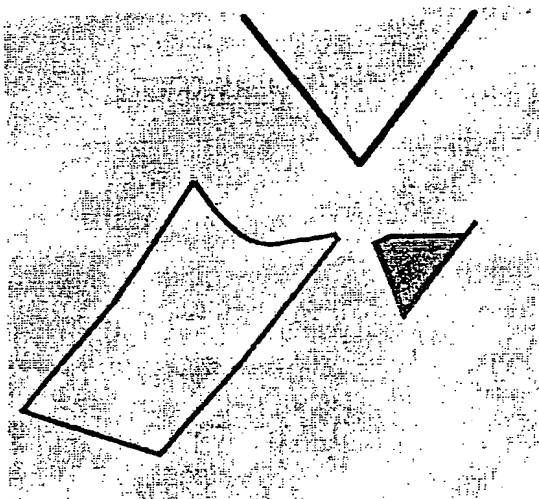


【図4】

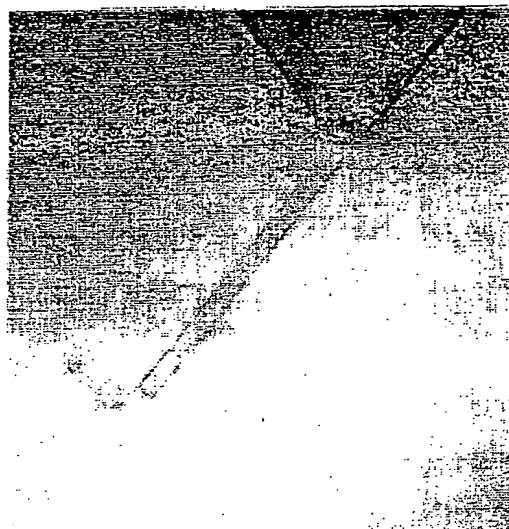
(a)



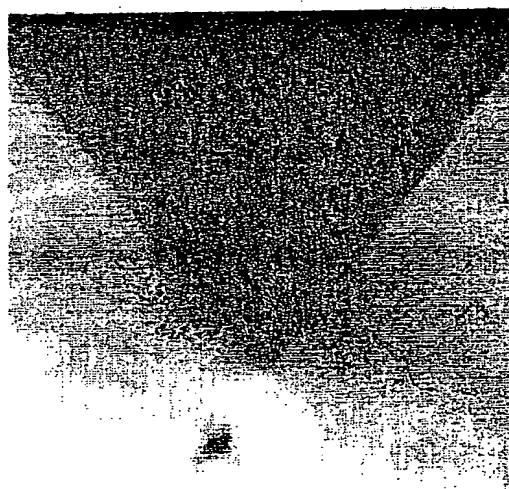
(b)



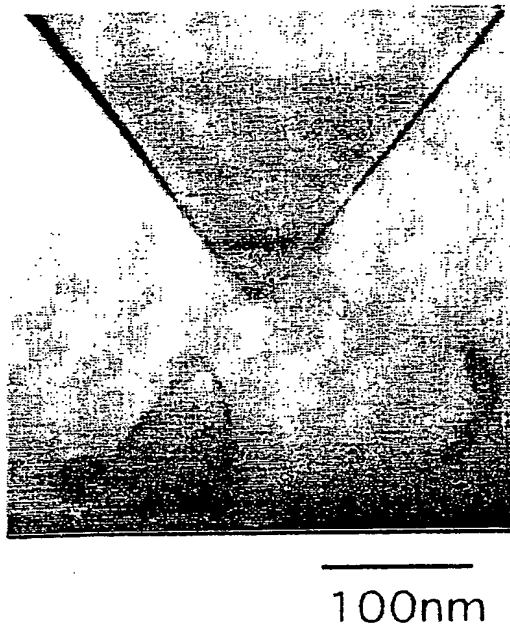
【図5】



【図6】



【図 7】



【図 9】

(a)



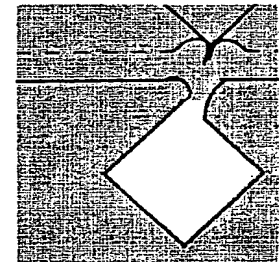
(b)



(c)



(d)



フロントページの続き

(72)発明者 河野 隆治
群馬県安中市磯部 2 丁目 13 番 1 号 信越半
導体株式会社半導体磯部研究所内
(72)発明者 加藤 正弘
群馬県安中市磯部 2 丁目 13 番 1 号 信越半
導体株式会社半導体磯部研究所内

(72)発明者 玉塚 正郎
群馬県安中市磯部 2 丁目 13 番 1 号 信越半
導体株式会社半導体磯部研究所内
F ターム(参考) 4G077 AA02 BA04 CF10 EB01 FE03
FE05 FE12 FJ06
5F045 AB02 AF03 AF12 AF13 BB12
GB11 HA06 HA16
5F052 KA05

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-151596

(43)Date of publication of application : 05.06.2001

(51)Int.Cl.

C30B 29/06

H01L 21/20

H01L 21/205

H01L 21/324

(21)Application number : 11-334040

(71)Applicant : SHIN ETSU HANDOTAI CO LTD

(22)Date of filing : 25.11.1999

(72)Inventor : KIMURA AKIHIRO
SATO HIDEKI
KONO TAKAHARU
KATO MASAHIRO
TAMAZUKA MASARO**(54) SILICON WAFER FOR EPITAXIALLY GROWING, EPITAXIAL WAFER AND METHOD OF PRODUCING THE SAME****(57)Abstract:****PROBLEM TO BE SOLVED:** To provide a silicon wafer for epitaxially growing, with which the formation of SF is suppressed, an epitaxial wafer and a method of producing the same.**SOLUTION:** The silicon wafer for epitaxially growing has a surface for growing an epitaxial layer, which surface is free from exposed void defects. The method of producing the epitaxial wafer comprises measuring the number of void defects exposed to the surface of a silicon wafer and/or the number of void defects present in a region from the surface to the depth of 10 nm of the silicon wafer, then selecting a wafer in which the number of the void defects is not more than a prescribed value and growing the epitaxial layer on the surface of the selected wafer. Furthermore, the method of producing the epitaxial wafer comprises heat treating the wafer having void defects exposed to the surface of the silicon wafer and/or void defects present in the region from the surface to the depth of 10 nm of the silicon wafer so that the void defects are eliminated and/or the void defects are each converted into a form not causing a generation source of SF, and growing the epitaxial layer on the surface of thus heat treated wafer.**LEGAL STATUS**

[Date of request for examination]

29.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The silicon wafer for epitaxial growth which is a silicon wafer for epitaxial growth and is characterized by a void mold defect not exposing an epitaxial layer to the front face which grows at least.

[Claim 2] The silicon wafer for epitaxial growth indicated to claim 1 characterized by said void mold defect not existing by Fukashi from a front face to at least 10nm who grows an epitaxial layer.

[Claim 3] The silicon wafer for epitaxial growth indicated to claim 1 or claim 2 characterized by nitrogen being doped by said silicon wafer for epitaxial growth.

[Claim 4] The epitaxial wafer characterized by forming the epitaxial layer on the front face of the silicon wafer for epitaxial growth indicated in any 1 term of claim 1 to claim 3.

[Claim 5] The manufacture approach of the epitaxial wafer characterized by measuring the number of the void mold defect exposed to the front face of a silicon wafer, and/or the number of the void mold defect which exists in the depth from the front face of a silicon wafer to at least 10nm, choosing the silicon wafer whose number of these void mold defects is below a predetermined value, and growing up an epitaxial layer to be the front face of the this chosen silicon wafer.

[Claim 6] The manufacture approach of the epitaxial wafer characterized by growing up an epitaxial layer to be said silicon wafer front face after making said void mold defect into the gestalt used as the generation source of disappearance and/or SF by heat-treating to the silicon wafer which has a void mold defect in the depth from the void mold defect exposed to the front face, and/or a front face to at least 10nm.

[Claim 7] The manufacture approach of the epitaxial wafer indicated as said heat treatment to claim 6 characterized by adding heat treatment at the temperature of 700-1300 degrees C under an oxidizing atmosphere continuously, without cooling at less than 700 degrees C after adding heat treatment at the temperature of 1100-1300 degrees C under a non-oxidizing atmosphere.

[Claim 8] The manufacture approach of the epitaxial wafer indicated to claim 6 characterized by introducing inert gas after hydrogen BEKU before epitaxial layer growth of an epitaxial process, and performing said heat treatment.

[Claim 9] The manufacture approach of the epitaxial wafer indicated in any 1 term of claim 5 to claim 8 characterized by using the silicon wafer by which the nitrogen dope was carried out as said silicon wafer.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the substrate for epitaxial wafers with few crystal defects which exist in an epitaxial layer than before, an epitaxial wafer, and its manufacture approach.

[0002]

[Description of the Prior Art] Reduction of the crystal defect the crystal defect in a semi-conductor especially a front face, and near the front face is becoming important with high integration of a semiconductor device in recent years. For this reason, the need of the epitaxial wafer which has the epitaxial layer (it may only be hereafter called an epilayer) excellent in crystallinity is increasing every year.

[0003] By the way, also although it is called an epitaxial wafer, various crystal defects exist, and this needs to reduce this, in order to have a bad influence on a device and for the yield to fall. There is a report of generating the crystal defect in the polycrystal-ized epitaxial layer from the particle adhering to the front face of the silicon wafer for epitaxial growth (it may only be hereafter called a substrate) which forms an epitaxial layer (for example, 45th applied-physics relation union lecture meeting [besides Iwabuchi] (1998 spring) 28 a-PB -1). That is, what is necessary is just to perform epitaxial growth (for it to only be hereafter called EPI growth), after removing the particle on a substrate in order for a part of epitaxial layer not to serve as polycrystal.

[0004] Moreover, although the hole cluster in the Grown-in defect mainly introduced at the time of silicon single crystal training exposes to a wafer front face the defect (it may only be hereafter called a void) of the void mold exposed to the substrate front face Even if this void may consist of the former after EPI growth in a shallow pit, it has been thought that it does not become a crystal defect (Japanese crystal growth society magazine besides Kimura 24 444 (1997)). However, the cause of generating of the defect in the epitaxial layer called an EPI stacking fault (it is henceforth called SF) by current did not become clear, but the reduction approach was unknown.

[0005]

[Problem(s) to be Solved by the Invention] This invention was made in view of such a trouble, and aims at providing with the manufacture approach the silicon wafer for epitaxial growth and epitaxial wafer list which reduced SF generating.

[0006]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, invention indicated to claim 1 of this invention is a silicon wafer for epitaxial growth, and is a silicon wafer for epitaxial growth characterized by a void mold defect not exposing an epitaxial layer to the front face which grows at least.

[0007] Thus, the silicon wafer for epitaxial growth with which a void mold defect does not expose an epitaxial layer to the front face which grows at least can prevent generating of SF at the time of epitaxial growth. This is because it became clear to generate SF from a void mold defect, so SF generating of an epilayer can be prevented if a wafer without such a void mold defect is used for an epitaxial substrate.

[0008] In addition, at the usual epitaxial process, just before growing up an epitaxial layer, hydrogen BEKU is performed, and a substrate front face is etched to some extent. Therefore, substantially, "the front face which grows an epitaxial layer" indicated by claim 1 means a substrate front face (interface of an epitaxial layer and a substrate) just before an epitaxial layer grows after such hydrogen BEKU.

[0009] In this case, as indicated to claim 2 of this invention, it is desirable that said void mold defect does not exist by Fukashi from a front face to at least 10nm who grows an epitaxial layer. This is because there is a possibility that SF may be formed when a void mold defect exists in the depth from the front face to 10nm, even if the void mold defect is not exposed to a front face just before an epilayer grows.

[0010] Moreover, as indicated to claim 3 of this invention, it is desirable that nitrogen is doped by said silicon wafer for epitaxial growth. This is because the precipitation-of-oxygen nucleus of the bulk section of a substrate will not disappear according to the effectiveness of nitrogen even if it performs hot epitaxial growth if the substrate with which nitrogen was doped is used, so a gettering site is formed in a subsequent device process and the epitaxial wafer of high performance is obtained.

[0011] And if it is the epitaxial wafer (claim 4) characterized by forming the epitaxial layer on the front face of the silicon wafer for epitaxial growth indicated in any 1 term of claim 1 to claim 3, or there is no SF in an epitaxial layer, it will become the quality epitaxial wafer extremely reduced compared with the former.

[0012] Moreover, the number of a void mold defect which exposed to the front face of a silicon wafer invention indicated to claim 5 of this invention, And/or, the number of the void mold defect which exists in the depth from the front face of a silicon wafer to at least 10nm is measured. The number of these void mold defects is the manufacture approach of the epitaxial wafer characterized by choosing the silicon wafer which is below a predetermined value, and growing up an epitaxial layer to be the front face of the this chosen silicon wafer.

[0013] This invention according to claim 5 samples one sheet or two or more wafers from the wafer of for example, the same manufacture lot. The number of the void mold defect exposed to the wafer front face and/or the number of the void mold defect which exists in the depth from the wafer front face to at least 10nm are measured. The number of void mold defects permitted from the specification (upper limit of the number of SF) of the epitaxial wafer with which these void mold defects are demanded by the user below a predetermined value is set up beforehand. It is the manufacture approach of the epitaxial wafer characterized by choosing the wafer with which are satisfied of this and growing up an epitaxial layer. If it does in this way, while being able to reduce a defect wafer in manufacture of an epitaxial wafer, it can feed back to the manufacture conditions of the silicon single crystal wafer suitable for the epitaxial wafers according to a user specification.

[0014] Moreover, invention indicated to claim 6 of this invention is the manufacture approach of the epitaxial wafer characterized by growing up an epitaxial layer to be said silicon wafer front face, after making said void mold defect the gestalt used as the generation source of disappearance and/or SF by heat-treating to the silicon wafer which has a void mold defect in the depth from the void mold defect exposed to the front face, and/or a front face to at least 10nm.

[0015] Thus, a void mold defect is near a front face and the front face, and if an epitaxial layer is formed after making it change to the gestalt in which disappearance or SF does not generate the void a front face and near the front face by heat-treating before epitaxial growth even if it is the wafer which SF generates, when epitaxial growth is performed, the epitaxial wafer of high quality can be obtained. If it does in this way, the epitaxial wafer which does not have generating of SF at the time of epitaxial growth can be obtained irrespective of the manufacture conditions of a silicon single crystal wafer.

[0016] In this case, as indicated to claim 7, it is desirable as said heat treatment to add heat treatment at the temperature of 700-1300 degrees C under an oxidizing atmosphere continuously, without cooling at less than 700 degrees C, after adding heat treatment at the temperature of 1100-1300 degrees C under a non-oxidizing atmosphere.

[0017] By heat treatment in such heat treatment conditions, then a non-oxidizing quality ambient atmosphere of the first rank, since out-diffusion of the natural oxidation film on the front face of a wafer

and the wall oxide film of the void near the front face can be carried out, in heat treatment in a subsequent oxidizing quality ambient atmosphere, the silicon between grids can be poured in efficiently, and the void near the front face can be extinguished. About the void exposed to a front face, an opening configuration can be smoothed by formation of an oxide film, and it can prevent becoming the generation source of SF in subsequent epitaxial growth. Moreover, since temperature is not lowered to less than 700 degrees C after heat treatment of the first rank, re-growth of the wall oxide film acting as the failure of the silicon impregnation between grids to a void can be prevented.

[0018] Moreover, as indicated to claim 8, inert gas can be introduced after hydrogen BEKU before epitaxial layer growth of an epitaxial process, and said heat treatment can also be performed. If it does in this way, since heat treatment is incorporable into the same epitaxial process using an epitaxial growth system, it is very efficient.

[0019] Furthermore, as indicated to claim 9, it is desirable to use the silicon wafer by which the nitrogen dope was carried out as said silicon wafer. Thus, if a nitrogen dope wafer is used, the high gettering effectiveness can be acquired according to the effectiveness of nitrogen.

[0020] Hereafter, although this invention is explained further in full detail, this invention is not limited to these. That the cause of generating of SF generated in an epitaxial layer should be made clear, this invention persons conducted the following experiments and completed this invention.

[0021] (Experiment 1) nitrogen non -- CZ silicon single crystal wafer (crystallographic-axis bearing $\langle 100 \rangle$ --) with a diameter of 8 inches raised at the usual raising rate (about 1 mm/min) when a dope wafer was used as a substrate for epitaxial To p mold, 10-ohmcm, and oxygen density 14.7ppma (JEIDA specification) Four epitaxial wafers in which about 4-micrometer epitaxial layer was formed are produced. the surface-analysis equipment (ten call company make --) which performed selective etching to this wafer and used laser light the place which observed LPD on the front face of epitaxial detected using Surf Scan 6200 (Light Point Defect) with the optical microscope -- SF on the front face of an epitaxial layer -- an average of -- about two pieces / 8 inch wafer existence was recognized.

[0022] About SF on these front faces of an epitaxial layer, as shown in drawing 1 (a) and (b), cross-section TEM (transmission electron microscope) observation was performed from $\langle 110 \rangle$. Here, drawing 1 (a) is a microscope observation Fig., and drawing 1 (b) is drawing having shown the defect typically based on the microphotography. And the result of having expanded and observed the part surrounded with the ellipse of drawing 1 (a) about three of SF which exists in a wafer is shown in drawing 2 (a), (b) - drawing 4 (a), and (b). Drawing 2 (a) - drawing 4 (a) are microscope observation Figs. respectively like drawing 1, and drawing 2 (b) - drawing 4 (b) are drawings having shown the microphotography typically. In any case, it turns out that a certain crystal defect exists under the top-most vertices of SF.

[0023] EDX analysis (Energy Dispersive X-ray spectroscopy) showed that these were all octahedron voids which have a wall oxide film. Moreover, it also turned out that SF has occurred by making into top-most vertices the location separated from the octahedron void about 20-40nm in about 10nm and a longitudinal direction in the height direction.

[0024] (Experiment 2) If it removed that nitrogen was doped by high concentration (3×10^{14} piece/cm³) when a nitrogen dope wafer was used as a substrate, the epitaxial wafer was produced using the same substrate as experiment 1, and the same investigation as experiment 1 was conducted about SF.

[0025] Consequently, each SF [some of] on the front face of an epitaxial layer was recognizing / 8 inch wafer extent existence. Among these, the result of having performed cross-section TEM observation from $\langle 110 \rangle$ about three SF like the experiment 1 is shown in drawing 5 - drawing 7. According to this cross-section TEM observation, it turned out like the case of a nitrogen non dope that a cylinder peculiar to a nitrogen dope wafer and a tabular void are observed directly under SF in the location which separated about 10-40nm from the top-most vertices of SF.

[0026] If based on the result of experiment 1 and experiment 2, it is clear to generating of SF of an epitaxial layer that the void mold defect near the wafer front face is involving unlike the conventional opinion. That is, in order to have reduced SF generating, the good thing became clear if a void did not exist near the front face of a wafer.

[0027] In addition, the mechanism which SF generates from a void mold defect is considered as follows.

Since in the case of a nitrogen dope voids are cylindrical and tabular and a tabular cut end is about 20nm x 150nm (drawing 8 (a)), the probability for a void to be exposed to a front face by etching, and for a pit to be formed immediately after before [EPI] hydrogen BEKU is comparatively high (drawing 8 (b)). If EPI growth is performed in this condition, a pit will be closed with the EPI growth from a pit edge (drawing 8 (c)). Mismatching occurs in that case and it is thought with subsequent EPI growth that it will be set to SF (drawing 8 (d)).

[0028] On the other hand, if it is the void mold defect (drawing 9 (a)) which opening exposed to the wafer front face comparatively greatly in the case of a nitrogen non dope. Since the configuration becomes roundish [wore / broad and shallow] by hydrogen BEKU before the epilayer growth in an epitaxial process (drawing 9 (b)), Although COP cannot disappear easily under isotropic, strong conditions (for example, reduced pressure EPI growth which used SiH₂Cl₂ as the raw material) If an about 0.4-micrometer epilayer is formed with the growth (for example, ordinary pressure EPI growth which used SiHCl₃ as the raw material) under the strong conditions of an anisotropy, what (drawing 9 (c)) COP disappears is known (Japanese crystal growth society magazine besides Kimura 24 444 (1997)).

[0029] However, since the magnitude of a cut end changes with the depth in the case of the octahedron void which exists in a nitrogen non dope wafer, when an octopus **-like pit [as / the cut end of whose is magnitude comparable as cylindrical and a tabular void] is formed immediately after before [EPI] hydrogen BEKU, it is thought that SF occurs from here (drawing 9 (d)).

[0030] moreover, a nitrogen dope and a non dope -- also in which void mold defect, the top-most vertices of generated SF have separated at least 10nm from the void mold defect. Therefore, in order to prevent generating of SF certainly, it is thought desirable that a void mold defect does not exist by at least 10nm Fukashi from a front face just before growing up an epitaxial layer.

[0031] By research of the above this invention persons, it became clear that the void mold defect which exists near the front face of the wafer for epitaxial growth is participating in generating of SF of an epitaxial layer. Therefore, it is good, if a void mold defect does not exist near the front face of the wafer for epitaxial growth in order to prevent SF generating.

[0032] In addition, it means that the void mold defect which is "a void mold defect's not being exposed" or "a void mold defect's not existing" with the generation source of SF at the time of epitaxial growth is not exposed, or does not exist. [which it is said by this invention] Therefore, about whether the void mold defect used as the generation source of such SF exists near the front face of the wafer for epitaxial growth produced on some specific manufacture conditions, an epitaxial layer can be grown up to be other wafers produced on the same manufacture conditions as the manufacture condition, and it can judge by carrying out stereo observation of the LPD observed on the front face with an optical microscope, an electron microscope, etc.

[0033] In order to manufacture the epitaxial wafer which does not actually have SF, two kinds of following approaches can be considered. One is the method of growing up an epitaxial layer into the front face of this wafer, using the defect-free wafer with which the void mold defect does not exist in the whole wafer from the first as a wafer for epitaxial growth which was not used as a wafer for epitaxial growth conventionally. For example, FZ wafer can be used for such a defect-free wafer. Or even if it is CZ wafer, by controlling the conditions at the time of crystal pulling, a defect-free wafer can be obtained and this can be applied.

[0034] After extinguishing a void mold defect or making a void mold defect into the gestalt used as the generation source of SF by being manufactured on condition that usual and adding heat treatment to this as another approach using CZ wafer with which the void mold defect exists in a wafer front face and the bulk section, it is the approach of performing epitaxial growth. This invention scrutinizes terms and conditions based on the above thought, and results in completion.

[0035]

[Embodiment of the Invention] Hereafter, although an example of an operation flow is shown about the gestalt of operation of this invention, this invention is not limited to these. In order to manufacture the epitaxial silicon wafer of this invention, the wafer with which the void mold defect does not exist in the

whole wafer, or the wafer with which a void mold defect does not expose an epitaxial layer to the front face which grows at least is produced as a silicon wafer for epitaxial growth.

[0036] Here, as a wafer with which a void does not exist in the whole wafer, there are a FZ wafer and a defect-free CZ wafer (wafer without a Grown-in defect) obtained by the approach of controlling V/G at the time of Czochralski crystal raising (V: raising rate, G: temperature gradient of a crystal solid-liquid interface), and pulling up a crystal on the conditions by which a hole cluster and a rearrangement cluster are eliminated.

[0037] It does not have the former that such a FZ wafer has, and is mainly in discrete devices, and this application is used as a substrate for epitaxial growth as a target object for the so-called integrated-circuit formation. Moreover, there is no thought of forming and using an epitaxial layer for this wafer further also about said defect-free CZ wafer since it is developed as a substrate with which about the same property as an epitaxial wafer is acquired by low cost, conventionally. However, generating of SF can be prevented by using such a wafer as a silicon wafer for epitaxial growth.

[0038] Moreover, since the gestalt (size and configuration) of a void changes with the crystal raising conditions and existence of a nitrogen dope about CZ wafer One sheet or two or more wafers are sampled from the wafer produced on specific manufacture conditions. The number of the void mold defect exposed to the wafer front face and/or the number of the void mold defect which exists in the depth from the wafer front face to at least 10nm are measured. The number of void mold defects permitted from the specification (upper limit of the number of SF) of the epitaxial wafer with which these void mold defects are demanded by the user below a predetermined value is set up beforehand. A defect wafer can be reduced, if the wafer produced on this manufacture condition will be used for growth of an epitaxial layer when satisfying this. Moreover, since the relation between manufacture conditions (raising conditions of a single crystal) and SF generated in an epitaxial layer is called for, it can feed back to the manufacture conditions of the silicon single crystal wafer suitable for epitaxial wafers.

[0039] According to the surface-analysis equipment which used the above-mentioned laser light, about the void mold defect exposed to the wafer front face, it can measure to the size of about 0.08-0.1 micrometers of present condition. Moreover, what is necessary is just to measure about the void mold defect which exists in the depth from a front face to 10nm, after forming an about 20nm oxide film for the wafer of the measuring object by thermal oxidation, and removing an oxide film by etching.

[0040] As for the wafer produced from CZ single crystal raised at the usual CZ raising rate (about 1 mm/min extent), the void surely exists in the front face and the bulk section to some extent, without on the other hand limiting the manufacture conditions of CZ single crystal as mentioned above. However, even if it is the wafer which has such a void mold defect, a void can consider as the wafer which a void does not expose to the front face in front of epitaxial layer growth at least, and the wafer which does not exist in before a depth of 10nm at least from the front face further by adding heat treatment to a wafer.

[0041] Since that exposure configuration should just become the pit of a configuration with gently-sloping extent used as the generation source of SF about the void (pit) exposed to a wafer front face in case an epitaxial layer is formed after heat treatment in order to set up this heat treatment condition, heat treatment conditions can be set up by asking for the configuration of a pit, and the relation of generating of SF experimentally.

[0042] Moreover, it depends for suitable heat treatment which can extinguish the void mold defect which has not been exposed to a wafer front face on the configuration and size of a void which exist in a wafer. Therefore, what is necessary is just to search for suitable heat treatment conditions experimentally in consideration of the manufacture conditions (raising conditions of a single crystal etc.) of a wafer of adding heat treatment. Especially as a heat treating furnace which performs these heat treatments, it is not limited but the batch type furnace of a heater heating type, the RTA (Rapid Thermal Anneal) furnace of a lamp heating type, etc. are mentioned. Moreover, it is also incorporable into an epitaxial process using an epitaxial growth system.

[0043] since the natural oxidation film is usually formed in the front face of the wafer to heat-treat as concrete heat treatment -- first -- the first rank -- while removing the surface natural oxidation film by

heating at 1100 degrees C - 1300 degrees C as heat treatment in a non-oxidizing atmosphere and the ambient atmosphere which contains hydrogen preferably, out-diffusion removes the wall oxide film of a void mold defect. At less than 1100 degrees C, removal of the surface natural oxidation film and the out-diffusion of a wall oxide film tend to become inadequate. Since removal of the surface natural oxidation film can be performed in a short time, it may change to the gas which does not have the etching operation to substrates, such as an argon, immediately after that, and the out-diffusion of a wall oxide film may be continued. Thereby, the void (pit) exposed to the front face becomes smooth by the migration of a surface silicon atom, and as for an internal void, a wall oxide film is removed, and it becomes easy to receive the silicon between grids.

[0044] Next, heat treatment is added at the temperature of 700-1300 degrees C by the oxidizing atmosphere as the 2nd step of heat treatment. Since the thermal oxidation film is formed in a front face by this, a surface pit configuration becomes still smoother. Moreover, since the silicon between grids is poured into the interior of a wafer by advance of oxidation, the silicon between grids is efficiently poured into the void from which the wall oxide film was removed by heat treatment of the first rank, and a void is filled. If it is 700 degrees C or more, impregnation of sufficient silicon between grids for void disappearance will occur. In addition, since re-growth of a wall oxide film will take place once it cools in temperature of less than 700 degrees C after heat treatment of the first rank, it is desirable [the first rank and the 2nd step of heat treatment] to carry out continuously, without cooling at less than 700 degrees C. Epitaxial growth is presented with it after a fluoric acid water solution removes the oxide film on the front face of a wafer formed by this heat treatment.

[0045] Moreover, in heat-treating using an epitaxial growth system, after hydrogen BEKU before the epitaxial epitaxial layer growth which can be set in process removes the surface natural oxidation film, by changing a controlled atmosphere to inert gas, such as an argon, and heat-treating, where inert gas is introduced, out-diffusion of the wall oxide film of a void mold defect which has not been exposed to a wafer front face can be carried out effectively, and a void can be disappeared by the migration of a silicon atom.

[0046] In this case, it is not necessary to permute by inert gas 100% as an ambient atmosphere which performs heat treatment after hydrogen BEKU or, the ratio of inert gas and hydrogen does not need to be fixed to constant value, hydrogen gas may be mixed with inert gas, and that rate may be heat-treated in the condition of changing in time. In addition, as for the ratio of Ar and hydrogen gas, about 3:1 are desirable when an argon is introduced as inert gas.

[0047] If epitaxial growth is performed by the approach usually used considering the wafer to which the above heat treatments were performed as a substrate, the epitaxial wafer with which generating of SF was controlled extremely can be manufactured.

[0048] In addition, what is necessary is it to be desirable to use the wafer with which nitrogen was doped as a substrate from viewpoints, such as the gettering effectiveness of an epitaxial wafer, in any [in case disappearance etc. carries out a void mold defect by subsequent heat treatment] case, when producing the silicon wafer for epitaxial growth without a void mold defect from the start, but to just be based on a well-known approach, in order to raise the silicon single crystal which doped nitrogen.

[0049] That is, if a silicon single crystal rod is raised, for example by the CZ process, nitrogen can be doped during a raising crystal by putting in the nitride in the quartz crucible beforehand, throwing in a nitride in silicon melt, or making a controlled atmosphere into the ambient atmosphere containing nitrogen etc. Under the present circumstances, the amount of dopes under crystal is controllable by adjusting concentration or installation time of the amount of a nitride, or nitrogen gas etc.

[0050]

[Example] Although the example of this invention is given to below and this invention is explained to a detail, this invention is not limited to these.

(Example 1) Raw material polycrystalline silicon was charged to the 18 inch quartz crucible, and the diameter of 6 inches, bearing <100>, and the silicon single crystal rod of a conductivity-type p mold were pulled up. Rotational speed of a crucible was set to 4rpm, and set the crystal rotation rate to 15rpm. A silicon single crystal is raised controlling a pull-up rate to become the range of 0.54 - 0.52 mm/min,

and it was made for V/G (V:raising rate, G: temperature gradient of a crystal solid-liquid interface) to serve as 0.152-0.146mm²/degree C and min here. The wafer was cut down from the silicon single crystal rod obtained here, and four silicon wafers for epitaxial growth were produced.

[0051] And four epitaxial wafers in which about 4-micrometer epitaxial layer was formed on the front face of this silicon wafer for epitaxial growth were produced, selective etching was performed to this wafer, and optical microscope observation of the LPD on the front face of epitaxial detected using the surface-analysis equipment (ten call company make and Surf Scan 6200) which used laser light was carried out. Consequently, SF was not observed all over the epitaxial wafer about which wafer.

[0052] (Example 2) At the usual raising rate (about 1 mm/min), nitrogen was doped, the silicon single crystal was raised, and four 3 was produced CZ silicon single crystal wafer (crystallographic-axis bearing <100>, p mold, 10-ohmcm, oxygen density 15ppma (JEIDA specification)) with a diameter of 8 inches and 1×10^{14} nitrogen concentration/cm.

[0053] Next, wet oxidation for 10 minutes was continuously performed at the temperature of 1200 degrees C under the oxygen ambient atmosphere, without cooling in temperature of 800 degrees C or less, without taking out a wafer from a furnace, after the batch type furnace of a heater heating type performed heat treatment of 1 hour at the temperature of 1200 degrees C under the argon ambient atmosphere to these silicon wafers. When the surface oxide film was removed after heat treatment and the void mold defect of the front face of this silicon wafer was observed, the void mold defect was discovered by neither of the wafers in the wafer front face.

[0054] Four epitaxial wafers in which about 4-micrometer epitaxial layer was formed on the front face of this silicon wafer for epitaxial growth were produced like the example 1, and LPD on the front face of epitaxial was observed with the optical microscope. Consequently, SF was not observed all over the epitaxial wafer about which wafer.

[0055] (Example of a comparison) Except not doping nitrogen, like the example 2, the silicon single crystal was raised at the usual raising rate (about 1 mm/min), and four CZ silicon single crystal wafers (crystallographic-axis bearing <100>, p mold, 10-ohmcm, oxygen density 15ppma (JEIDA specification)) with a diameter of 8 inches were produced.

[0056] Four epitaxial wafers which did not perform heat treatment etc. on the front face of this silicon wafer for epitaxial growth, but formed about 4-micrometer epitaxial layer in it directly were produced, and LPD on the front face of epitaxial was observed with the optical microscope. Consequently, SF on the front face of an epitaxial layer averaged [about two] / existed [8 inch wafer].

[0057] In addition, this invention is not limited to the above-mentioned operation gestalt. The above-mentioned operation gestalt is instantiation, and no matter it may be what thing which has the same configuration substantially with the technical thought indicated by the claim of this invention, and does the same operation effectiveness so, it is included by the technical range of this invention.

[0058]

[Effect of the Invention] According to this invention, it becomes possible to manufacture the epitaxial wafer which generating of SF reduced, and the device yield improves sharply as explained above.

[Translation done.]

* NOTICES *

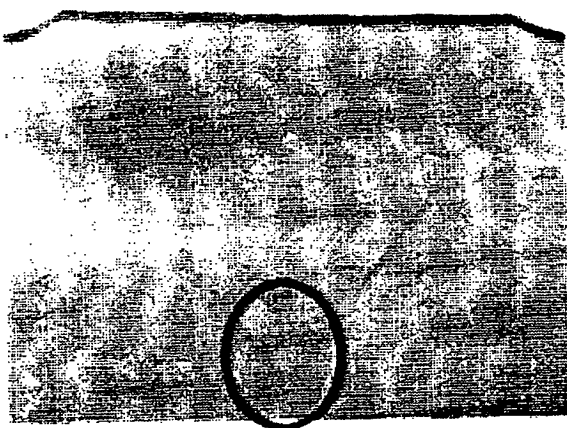
JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

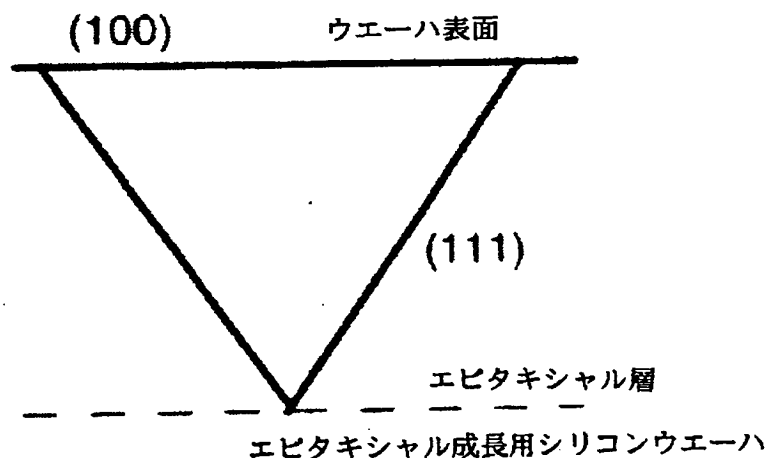
DRAWINGS

[Drawing 1]

(a)

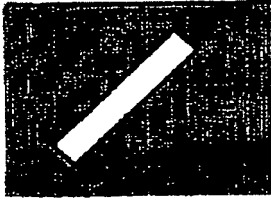


(b)

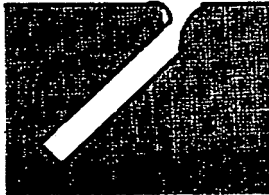


[Drawing 8]

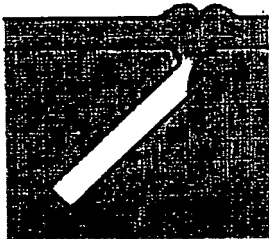
(a)



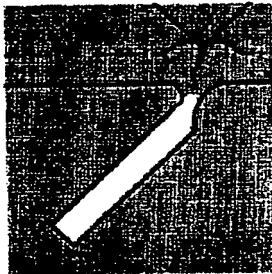
(b)



(c)

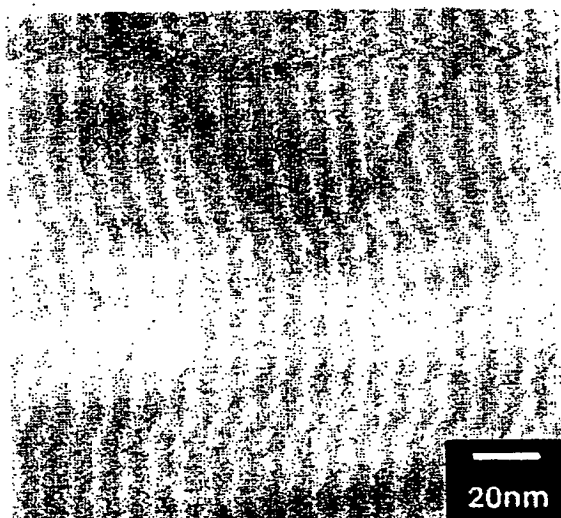


(d)

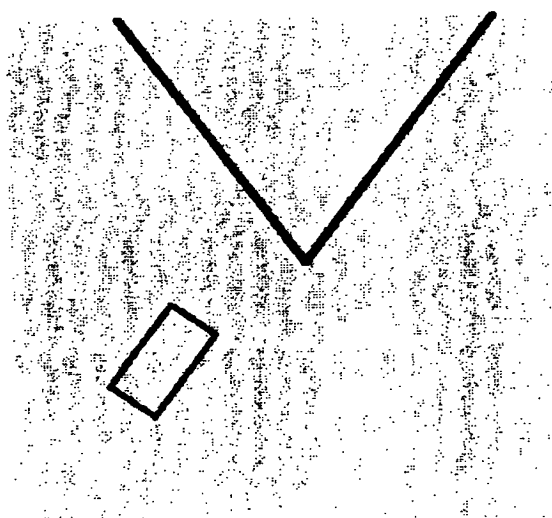


[Drawing 2]

(a)

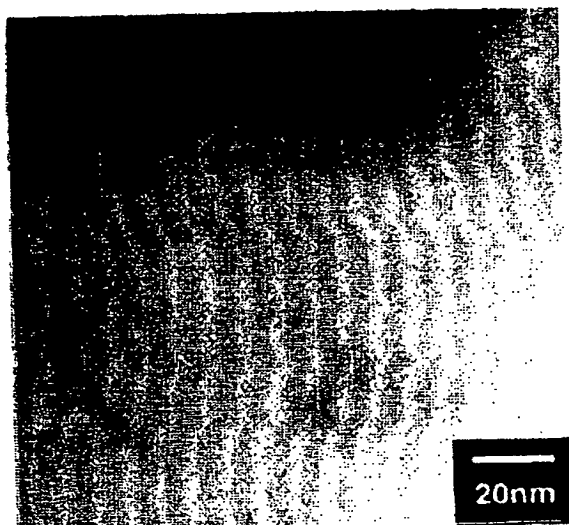


(b)

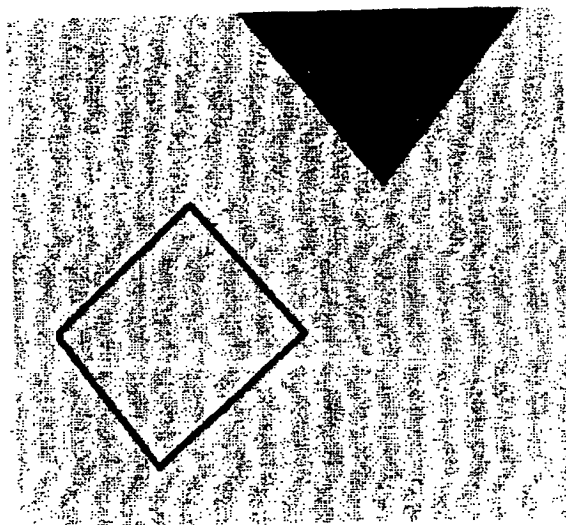


[Drawing 3]

(a)

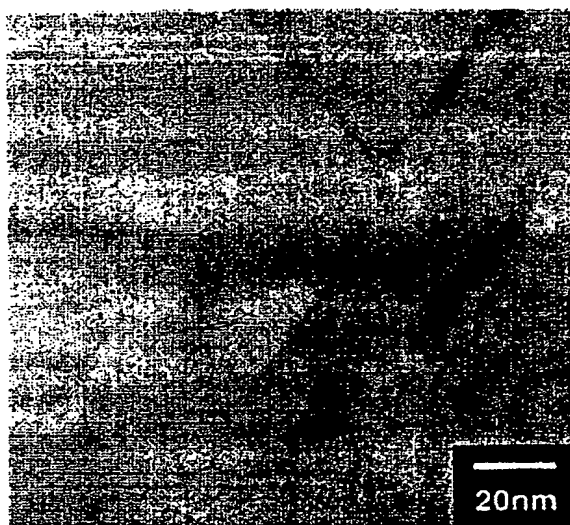


(b)

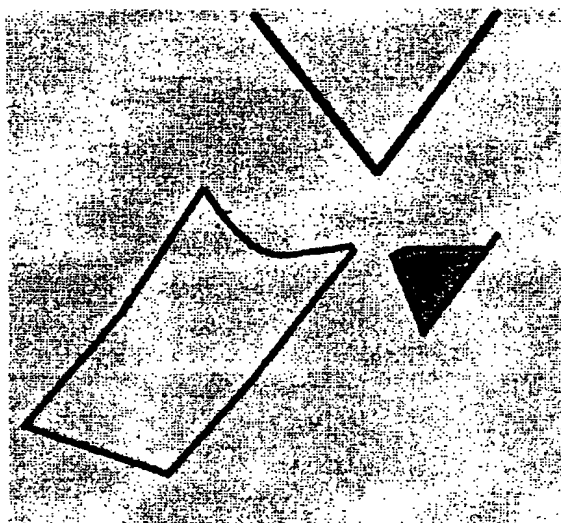


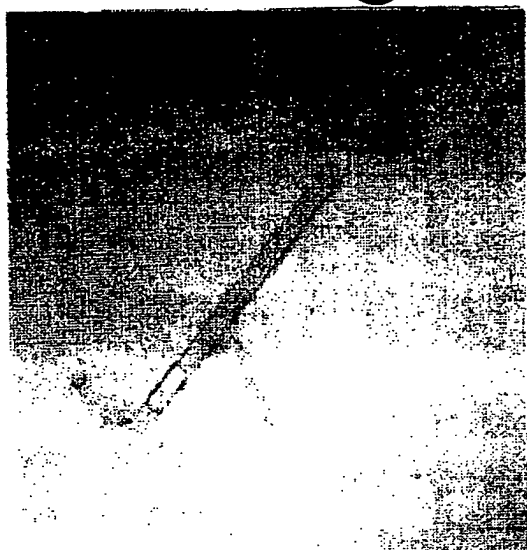
[Drawing 4]

(a)



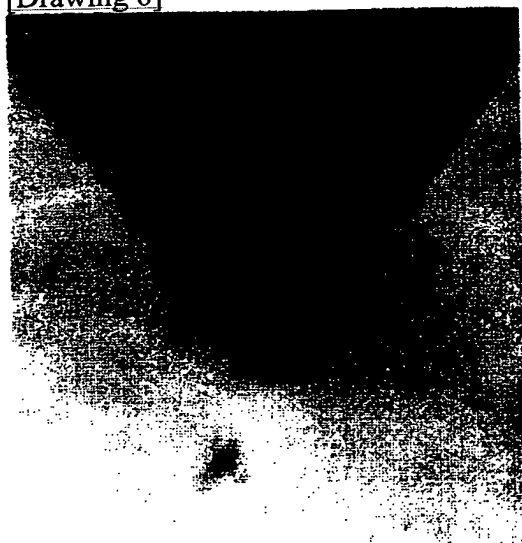
(b)

[Drawing 5]



100nm

[Drawing 6]



100nm

[Drawing 7]



100nm

[Drawing 9]

(a)



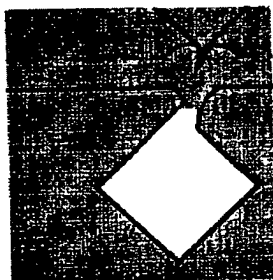
(b)



(c)



(d)



[Translation done.]